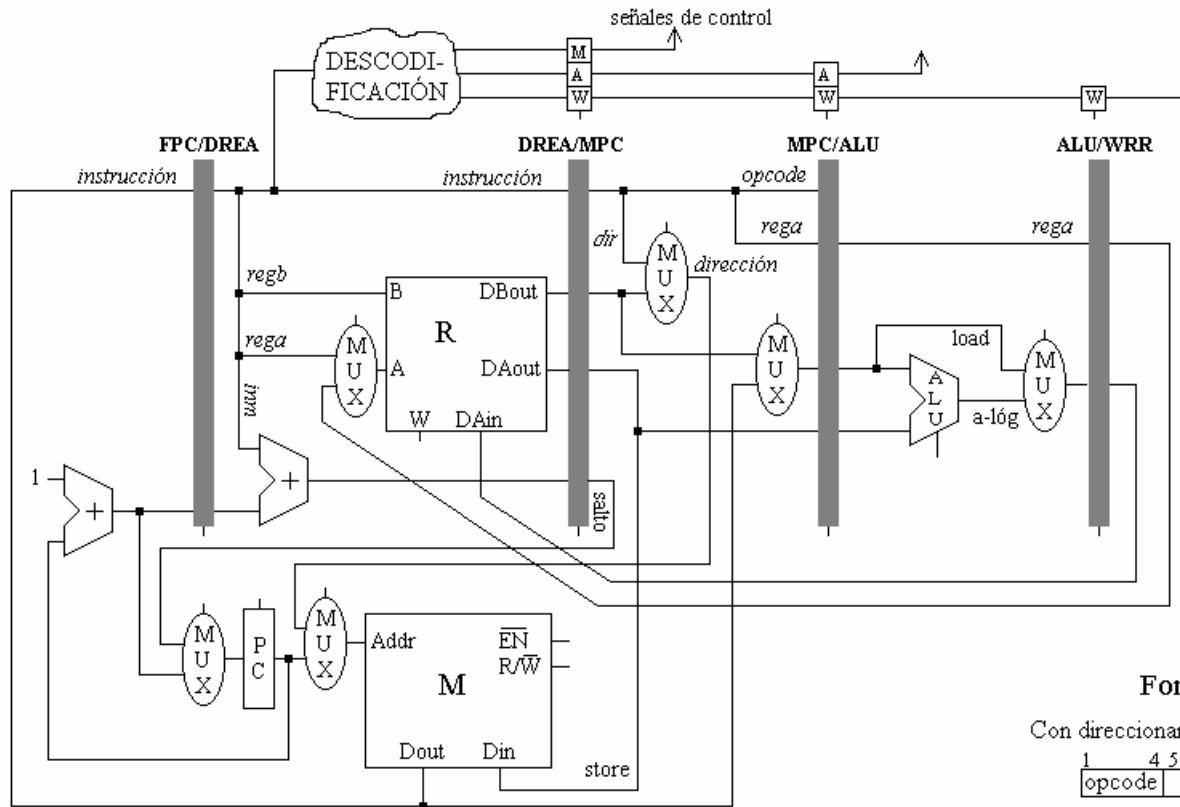
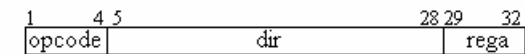


UCP segmentada



Formato instrucciones

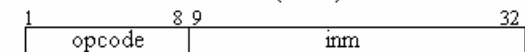
Con direccionamiento directo de memoria



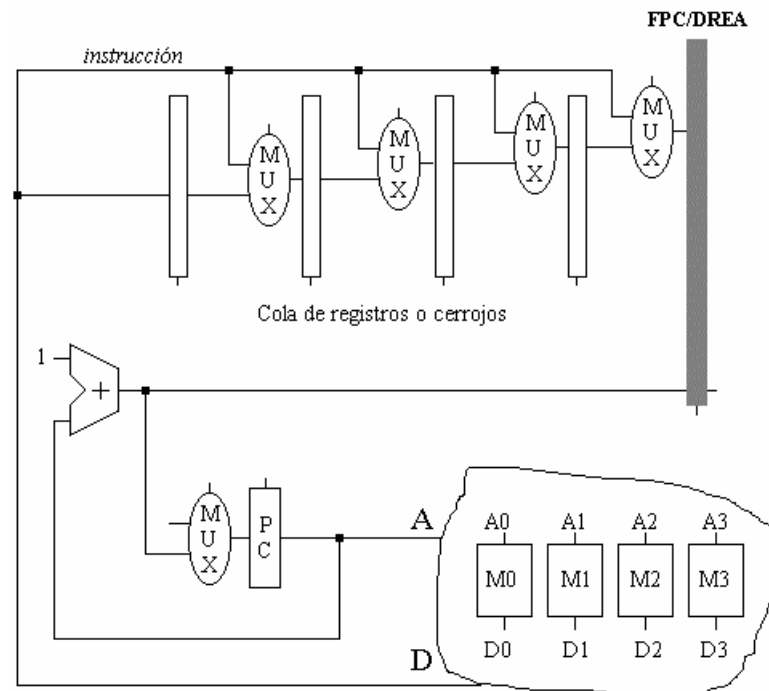
Con direccionamiento directo/indirecto mediante registro



Con direccionamiento relativo (saltos)



Prebúsqueda con memoria entrelazada de 4 vías



Temporización de lecturas y escrituras en memoria entrelazada de 4 vías simple y compleja, considerando los siguientes tiempos:

- Enviar **dirección**: **1 ciclo** de reloj de la UCP.
- Latencia de **lectura o escritura** en un módulo: **4 ciclos**.
- Enviar o recoger **dato**: **1 ciclo**.

	Memoria entrelazada simple	Memoria entrelazada compleja
Lectura	0 5 10 14 A ┌──────────┴──────────┐ M₀₋₃ ┌───┴───┐ ┌───┴───┐ D ┌───┴───┐ ┌───┴───┐	0 5 10 14 A ┌───┴───┐ ┌───┴───┐ M₀ ┌───┴───┐ ┌───┴───┐ M₁ ┌───┴───┐ ┌───┴───┐ M₂ ┌───┴───┐ ┌───┴───┐ M₃ ┌───┴───┐ ┌───┴───┐ D ┌───┴───┐ ┌───┴───┐
Escritura	0 4 8 12 16 A ┌───┴───┐ ┌───┴───┐ D ┌───┴───┐ ┌───┴───┐ M₀₋₃ ┌───┴───┐ ┌───┴───┐ D₀ ┌──────────┴──────────┐ D₁ ┌──────────┴──────────┐ D₂ ┌──────────┴──────────┐ D₃ ┌──────────┴──────────┐	0 4 9 13 A ┌───┴───┐ ┌───┴───┐ D ┌───┴───┐ ┌───┴───┐ M₀ ┌───┴───┐ ┌───┴───┐ M₁ ┌───┴───┐ ┌───┴───┐ M₂ ┌───┴───┐ ┌───┴───┐ M₃ ┌───┴───┐ ┌───┴───┐

A: Bus de direcciones.

D: Bus de datos.

M_i: Módulo de memoria i.

D_i: Línea de datos del módulo de memoria i.

Ejecución con distintos modelos de memoria de la secuencia de instrucciones

I0: Mem[4] $\leftarrow$ Reg[3]

I1: $\text{Reg}[8] \leftarrow \text{ADD}(\text{Reg}[8], \text{Mem}[7])$

I2: $\text{Reg}[6] \leftarrow \text{NOT}(\text{Reg}[3])$

I3: $\text{Reg}[7] \leftarrow \text{AND}(\text{Reg}[7], \text{Mem}[5])$

I4: $\text{Reg}[4] \leftarrow \text{Mem}[\text{Reg}[5]]$

Etapas
$$F = FPC$$
$$D = DREA$$
$$M = \text{MPC}$$

A = ALU

$$W = WRR$$

Recursos hardware

a: Bus de direcciones

d: Bus de datos

m_i : Módulo de memoria i

r: Banco de registros

Prebúsqueda de instrucciones con memoria entrelazada simple

T	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38			
I0	Fa	Fam ₀				Fd	Dr	////////					M																												
I1	Fa	Fam ₁				///	Fd	////////					Dr	////////					M					A	Wr																
I2	Fa	Fam ₂				////	Fd	////////										Dr	////////					M	///	A	Wr														
I3	Fa	Fam ₃				////////	Fd	////////										Dr	M					A					Wr												
I4	////////					Fa	Fam ₀				Fd	////////										Dr	////////					M					A					Wr			

Cauce con memoria entrelazada compleja de 4 vías

T	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30					
I0	Fa	Fm ₀				Fd	Dr	////////					M _a ^d	Mm ₀																					
I1	///	Fa	Fm ₁				Fd	////////					Dr	Ma	Mm ₃			Md	A	Wr															
I2	////////	Fa	Fm ₂				Fd	////////					Dr	M	////////					A	Wr														
I3	////////	Fa	Fm ₃				Fd	////////					Dr	Ma	Mm ₁			Md	A	Wr															
I4	////////	Fa	Fm ₀				Fd	////////					Dr	////////			Ma	Mm ₂			Md	A	Wr												

Si la detección de riesgos fuese dinámica y $x = (\text{Reg}[5] \bmod 4) \neq 1$ el diagrama para I4 sería

I4	//////////	Fa	Fm ₀	Fd	//////////	Dr	Ma	Mm _x	Md	A	Wr
----	------------	----	-----------------	----	------------	----	----	-----------------	----	---	----

Cauce con caché unificada (sin fallos)

(y detección estática de riesgos)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
T0	F	F	D	D	M	M															
I1	/	/	F	F	D	D	M	M	A	A	W										
I2	/	/	/	/	/	/	/	/	F	F	D	D	M	A	A	W					
I3	/	/	/	/	/	/	/	/	/	/	F	F	D	D	M	M	A	A	W		
I4	/	/	/	/	/	/	/	/	/	/	/	/	F	F	D	D	D	M	M	A	W

(detección dinámica)

I2			F	F	D	D	M	A	A	/	W									
I3	...		/	/	F	F	D	D	M	M	A	A	W							
I4			/	/	/	/	F	F	D	D	M	M	A	W						

Cauce con cachés separadas de
datos e instrucciones (sin fallos)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I0	F	F	D	D	M	M											
I1	/	/	F	F	D	D	M	M	A	A	W						
I2	/	/	/	/	F	F	D	D	M	/	A	A	W				
I3	/	/	/	/	/	/	F	F	D	D	M	M	A	A	W		
I4	/	/	/	/	/	/	/	/	F	F	D	D	M	M	A	W	

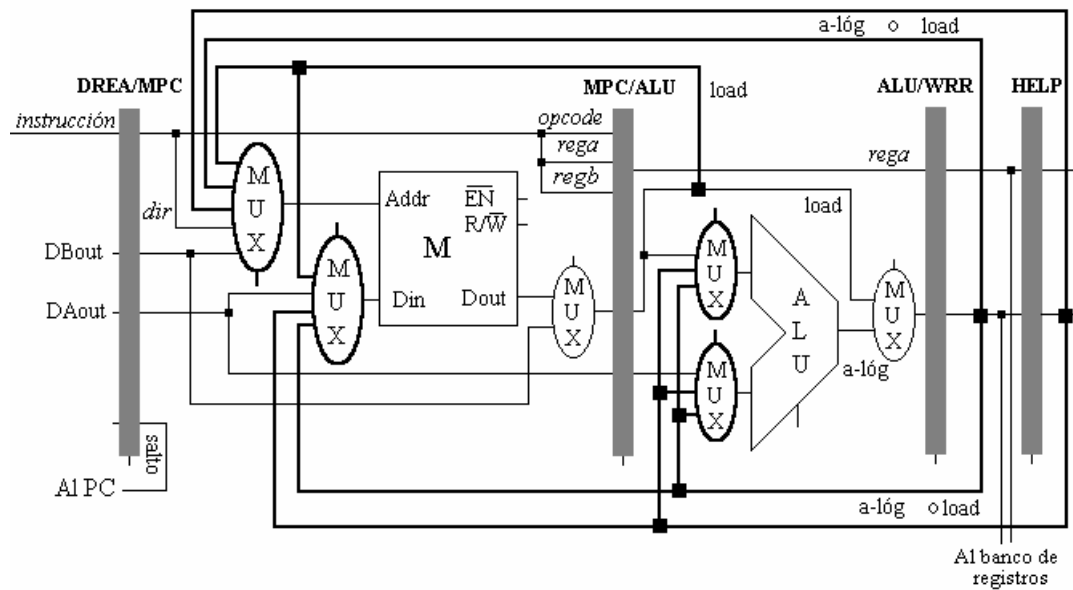
Dependencias de datos y su resolución

I: Reg[5] $\leftarrow$ SUB (Reg[5], Mem[3])

J: Reg[7] $\leftarrow$ ADD(Reg[7], Reg[5])

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I	F	F	D	D	M	M	A	A	W					
J	/	/	F	F	D	D	D	D	D	D	M	A	A	W

Camino de anticipación



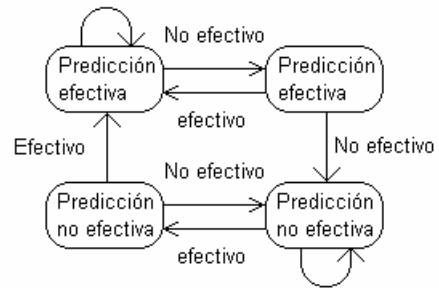
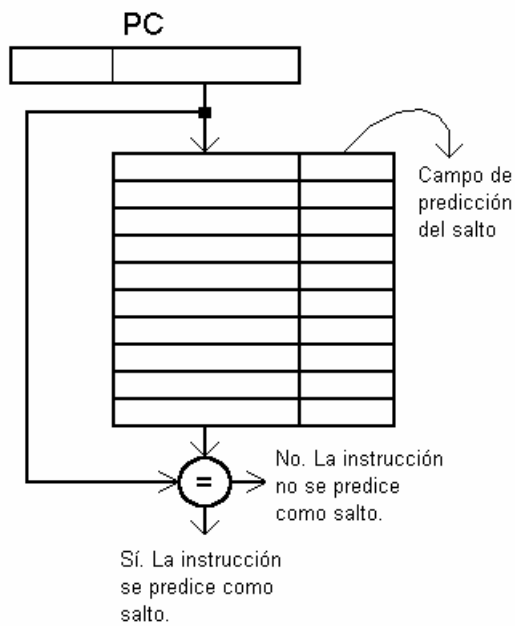
Efecto de la anticipación o cortocircuito

	1	2	3	4	5	6	7	8	9	10	11
I	F	F	D	D	M	M	A	A	W	/	H
J	/	/	F	F	D	D	M	/	A	A	W

Planificación estática con instrucciones NOP

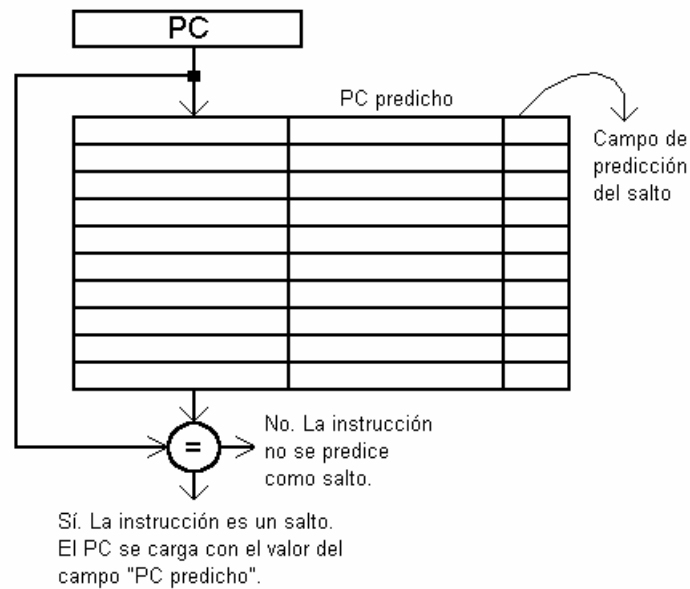
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I	F	F	D	D	M	M	A	A	W					
NOP	/	/	F	F										
NOP	/	/	/	/	F	F								
J	/	/	/	/	/	/	F	F	D	D	M	A	A	W

Tabla de predicción de saltos



Predicción del salto con dos bits de estado

Tabla de direcciones de salto



Bifurcaciones retardadas

Diagramas de tiempo para la secuencia de instrucciones

S1

S2

S3: if C then goto DS

S4

S5

cuando el salto es efectivo.

	0	2	4	6	8	10	12
FPC	S1	S2	S3	S4	S5	DS	
DREA		S1	S2	S3	S4		
MPC			S1	S2	S3		
ALU				S1	S2		
WRR					S1	S2	

	0	2	4	6	8	10	12					
S1	F	F	D	D	M	M	A	A	W			
S2			F	F	D	D	M	M	A	A	W	
S3					F	F	D	D	M	M		
S4							F	F	D	D		
S5								F	F			
DS										F	F	...

Diagramas de tiempo para la secuencia de instrucciones

S3: if C then goto DS

S1

S2

S4

S5

cuando el salto es efectivo con retardo de 4 ciclos de reloj

	0	2	4	6	8	10	12
FPC	S3	S1	S2	DS			
DREA		S3	S1	S2	DS		
MPC			S3	S1	S2	DS	
ALU					S1	S2	DS
WRR						S1	S2

	0	2	4	6	8	10	12					
S3	F	F	D	D	M	M						
S1			F	F	D	D	M	M	A	A	W	
S2					F	F	D	D	M	M	A	W
DS						F	F	D	D	M	M	A