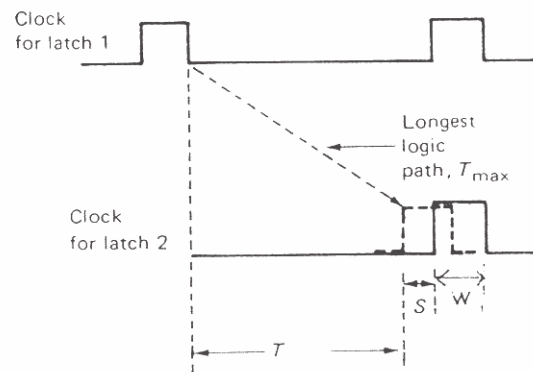
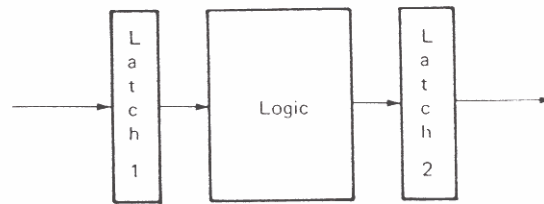
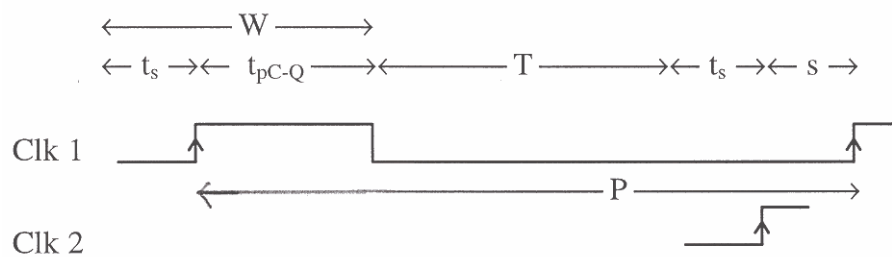
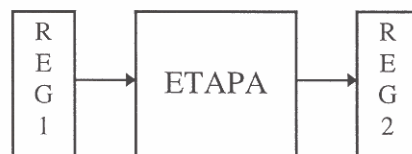
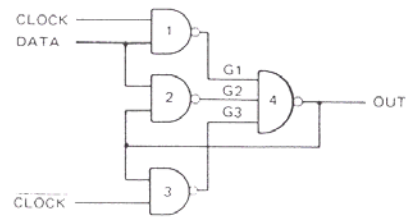




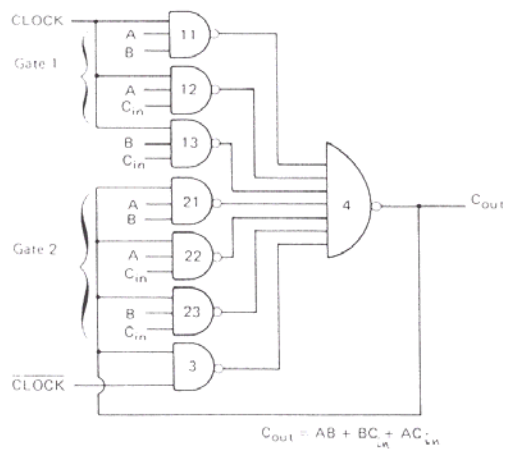
Effects of clock skew on longest logic path.



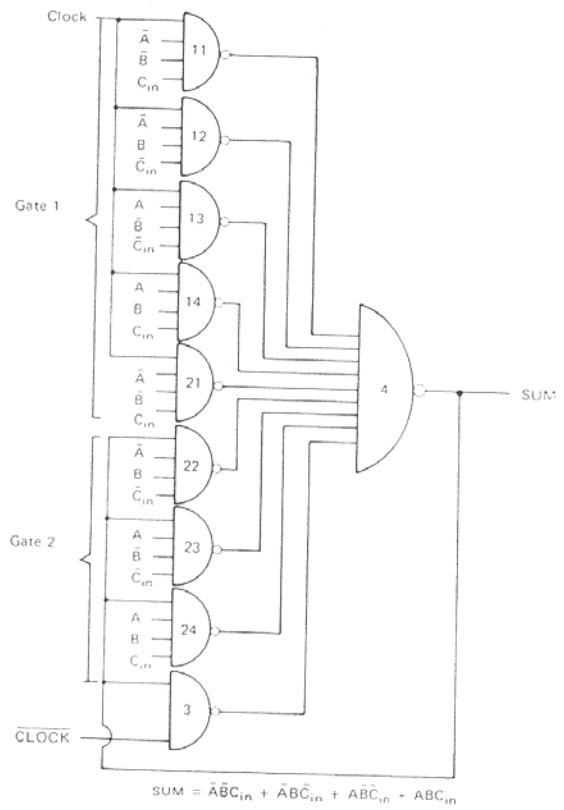
Pipeline-2



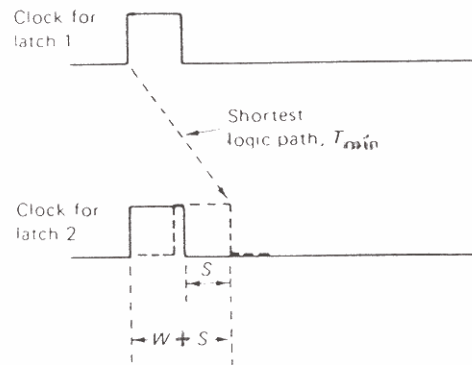
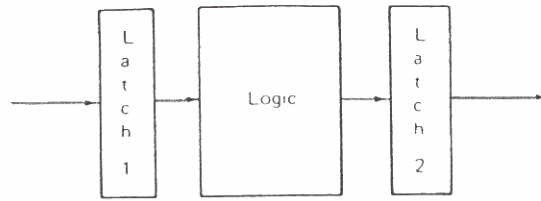
Earle latch



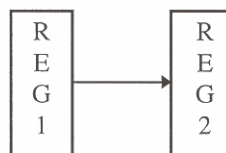
Earle latch with carry logic.



Earle latch with sum logic.



Effects of clock skew on critical race



Clk 1,



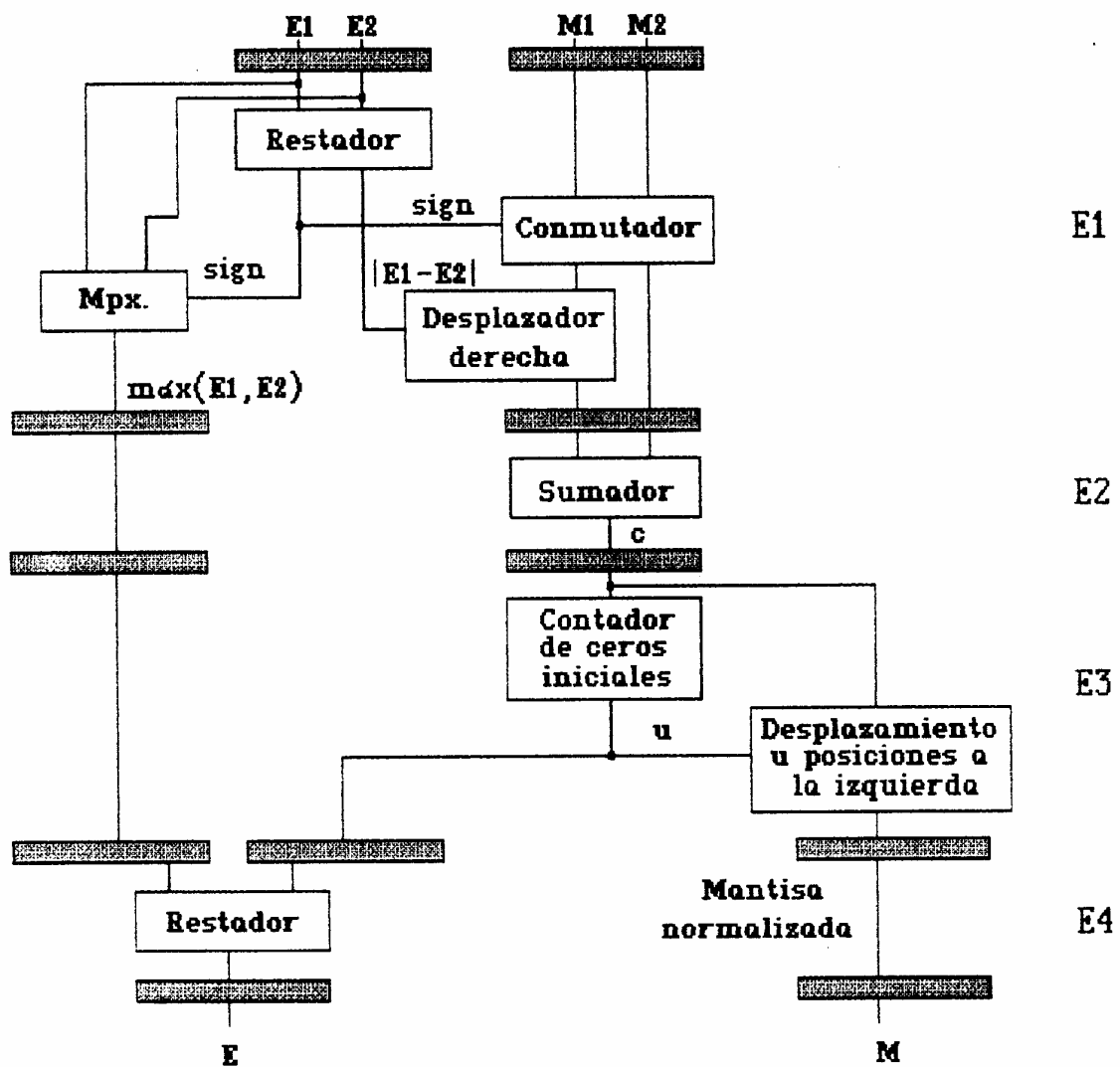
$\longleftrightarrow t_{CC-Q} \longrightarrow$

$\longleftarrow S \longrightarrow \longleftarrow t_h \longrightarrow$

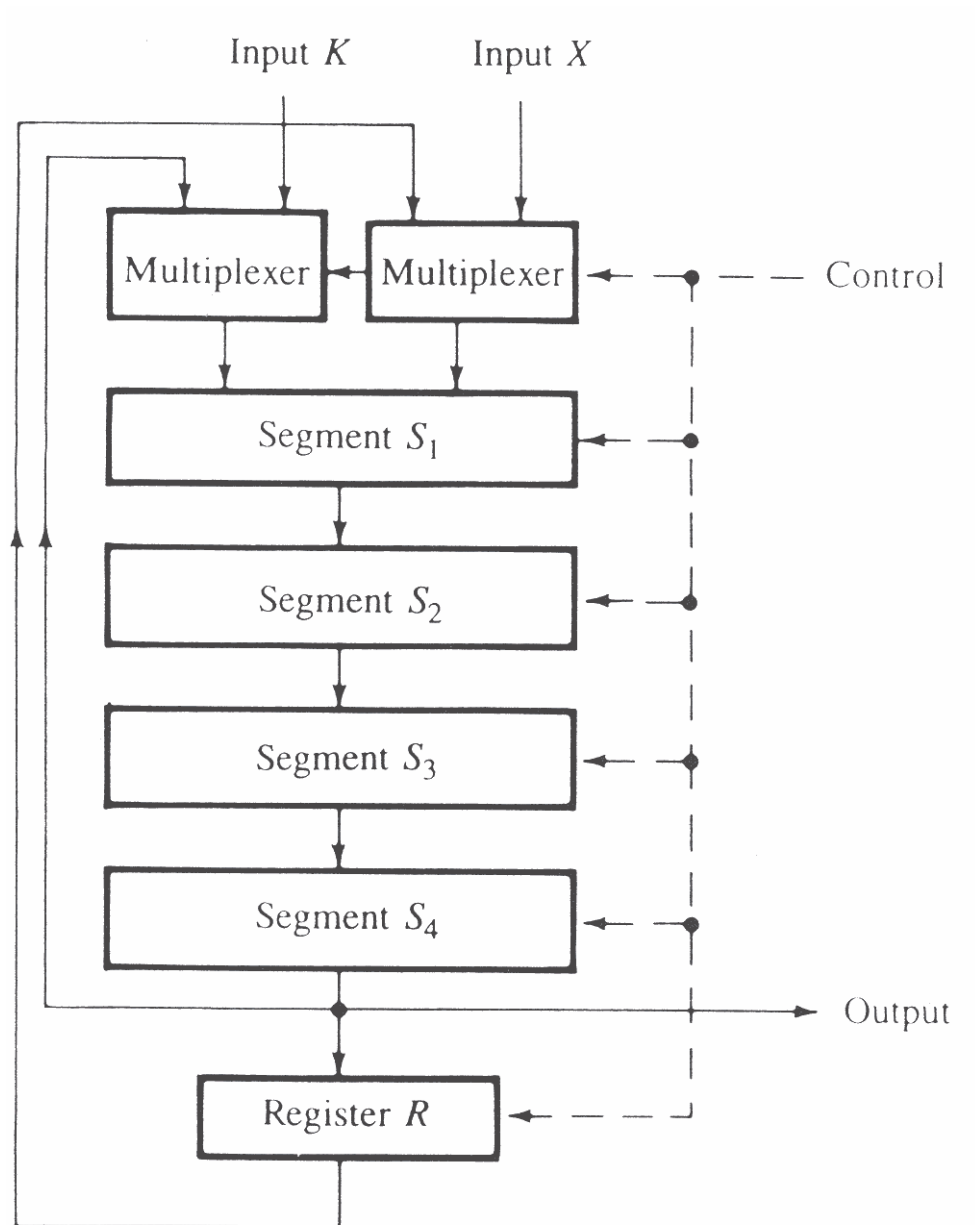
Clk 2



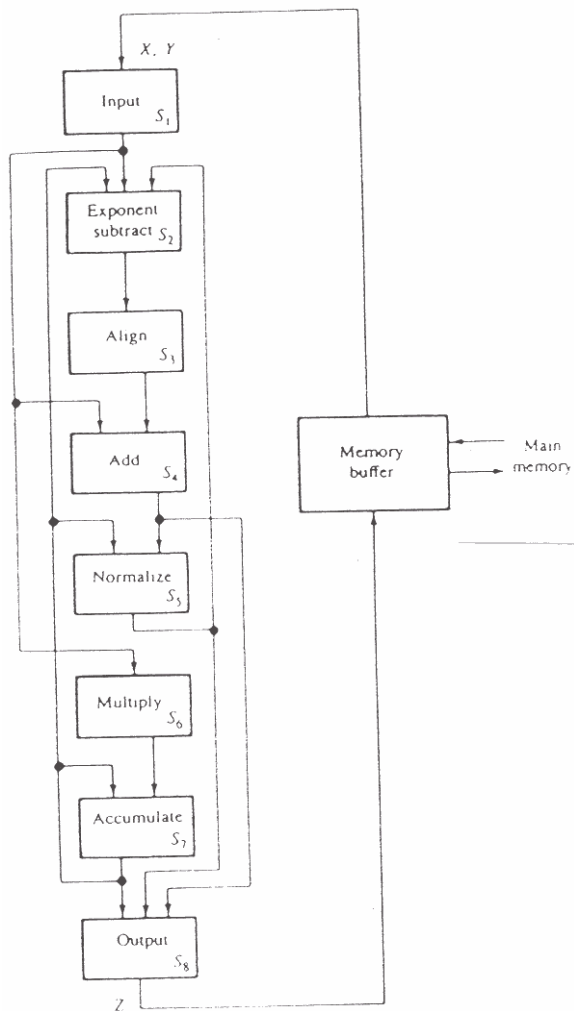
Suma en punto flotante encauzada en cuatro etapas



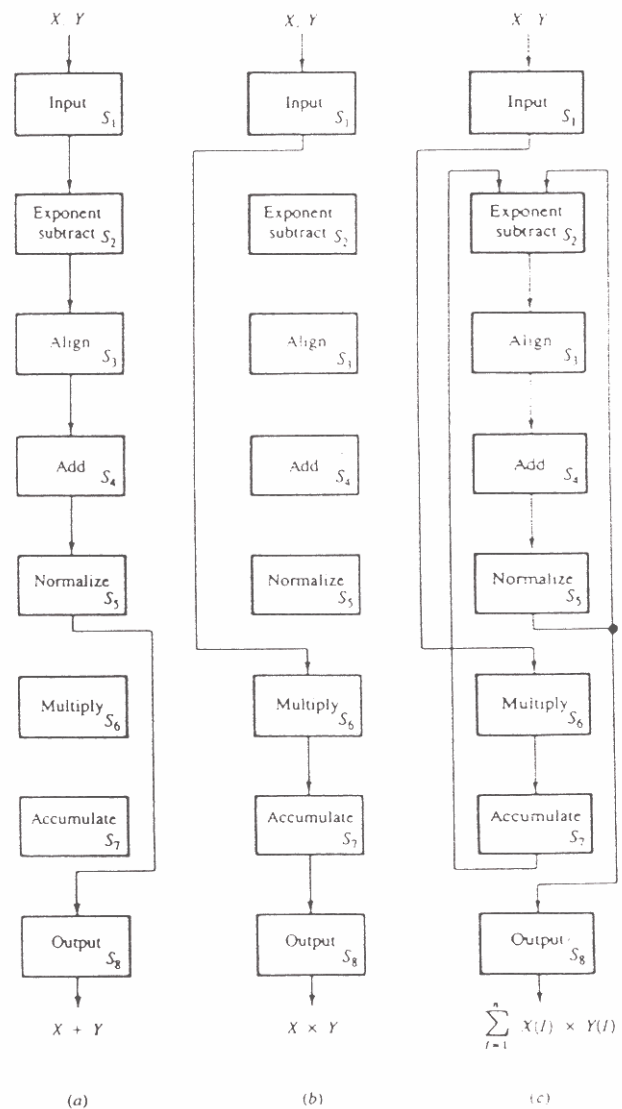
**Sumador encauzado de punto flotante
mejorado con caminos hacia atrás**



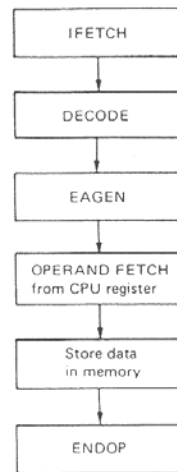
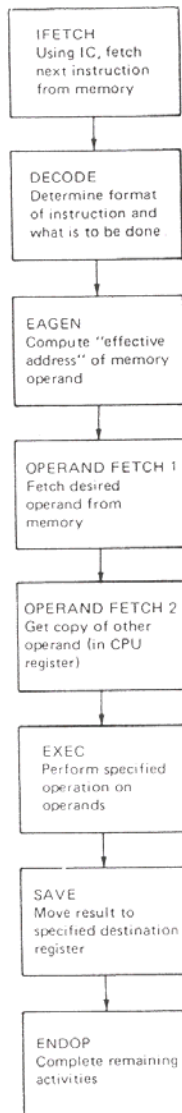
Segmento	Nombre	Acciones realizadas
S ₁	Input	Lee operandos de entrada del buffer de memoria
S ₂	Exponent subtract	Compara exponentes para la suma y resta en punto flotante
S ₃	Align	Desplazamiento en instrucciones de desplazamiento o para alinear mantisas
S ₄	Add	Suma de 64 bits en punto fijo
S ₅	Normalize	Normaliza resultados de operaciones de punto flotante
S ₆	Multiply	Multiplicación de 32 bits de punto fijo o punto flotante (resultado en forma de vectores de suma y acarreo)
S ₇	Accumulate	Acumula resultados de operaciones repetidas o suma el vector de suma con el de acarreo
S ₈	Output	Ejecuta instrucciones lógicas y escribe los resultados al buffer de memoria



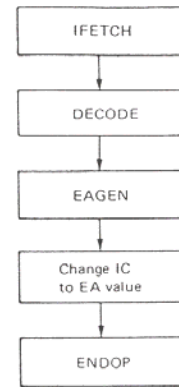
The arithmetic pipeline of the TI ASC



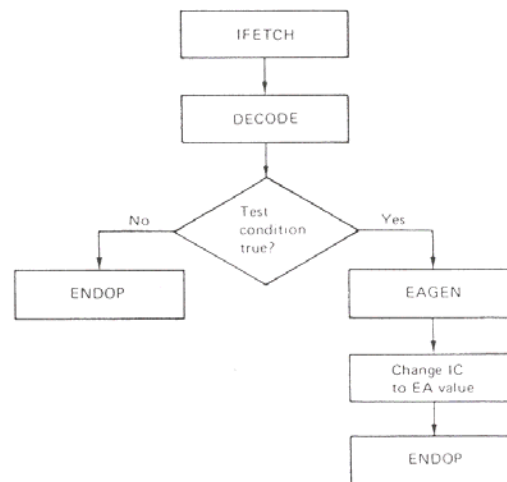
ASC pipeline configuration for (a) floating-point addition; (b) fixed-point multiplication; (c) point vector dot product.



(a)



(b)



(c)

Partitioning of other instruction classes. (a) Store. (b) Unconditional jump. (c) Conditional branch.

Partitioning of typical instruction execution.

Ciclos por cada etapa y latencia instrucciones

Segmento	Tipo ADD	Tipo STORE	Tipo JUMP	BRANCH (sí/no)
IFETCH	5	5	5	5/5
DECODE	2	2	2	2/2
TEST				1/1
EAGEN	2	2	2	2/0
OP FETCH 1	5			
OP FETCH 2	1	1		
EXECUTE	3			
SAVE	1			
CHANGE IC			1	1/0
STORE		5		
ENDOP	1	1	1	1/1
TOTAL	20	16	11	12/9

TABLAS DE RESERVAS

Segment	Time t																		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
S_1	x	x	x	x	x	x	x	x		x		x				x			
S_2		x	x	x	x	x	x	x	x		x		x				x		
S_3			x	x	x	x	x	x	x	x		x		x				x	
S_4				x	x	x	x	x	x	x	x		x		x				x

Segment	Time t								
	1	2	3	4	5	6	7	8	9
S_1	x	x				x			
S_2		x	x				x		
S_3			x	x				x	
S_4				x	x				x

Segmento	Tiempo									
	1	2	3	4	5	6	7	8	9	10
S1	x	x			x					
S2		x	x			x				
S3			x	x			x			
S4				x	x			x		

Diagrama de estados correspondiente a la ultima tabla de reservas de la trp. Pipeline-9

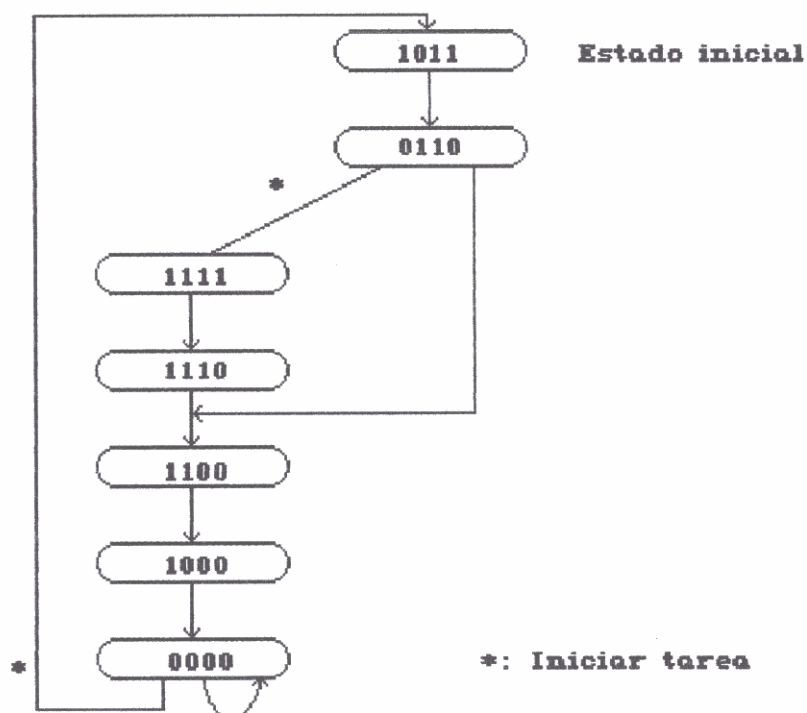
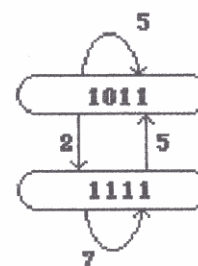
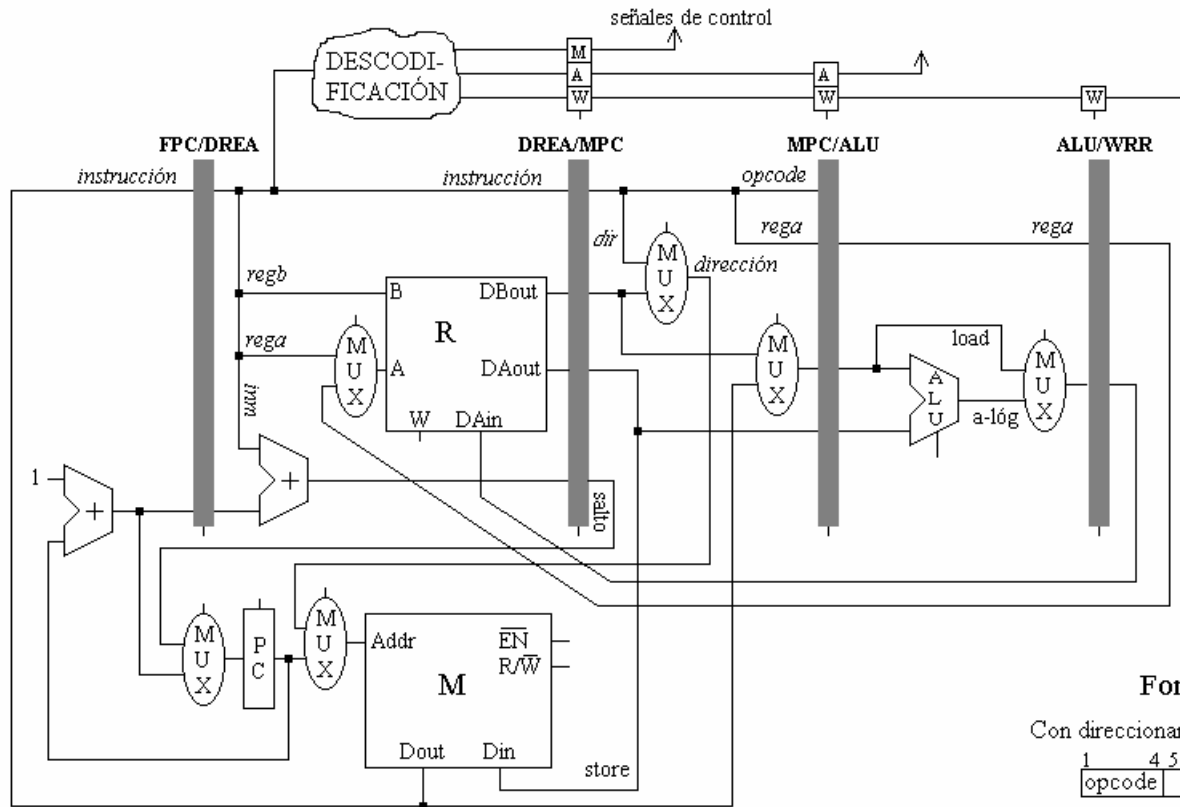


Diagrama de iniciación de tareas correspondiente al diagrama de estados anterior



UCP segmentada



Formato instrucciones

Con direccionamiento directo de memoria

1	4	5	28	29	32
opcode	dir			rega	

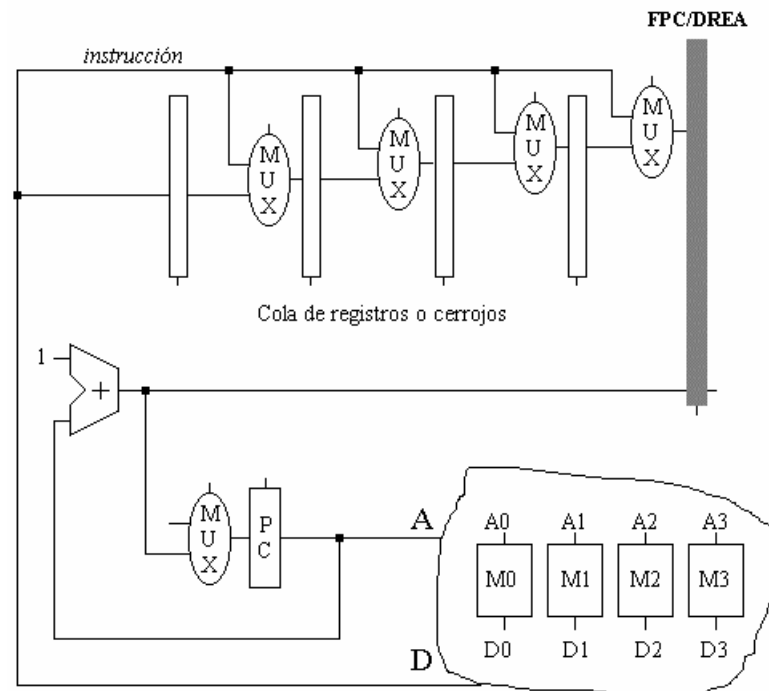
Con direccionamiento directo/indirecto mediante registro

1	8	25	28	29	32
opcode	regb		rega		

Con direccionamiento relativo (saltos)

1	8	9	32
opcode	inm		

Prebúsqueda con memoria entrelazada de 4 vías



Temporización de lecturas y escrituras en memoria entrelazada de 4 vías simple y compleja, considerando los siguientes tiempos:

- Enviar **dirección**: **1 ciclo** de reloj de la UCP.
- Latencia de **lectura o escritura** en un módulo: **4 ciclos**.
- Enviar o recoger **dato**: **1 ciclo**.

	Memoria entrelazada simple	Memoria entrelazada compleja
Lectura	0 5 10 14 A ┌──────────┴──────────┐ M₀₋₃ ┌───┐ ┌───┐ D ┌───┐ ┌───┐ ┌───┐ ┌───┐	0 5 10 14 A ┌───┐ ┌───┐ ┌───┐ ┌───┐ M₀ ┌───┐ ┌───┐ M₁ ┌───┐ ┌───┐ M₂ ┌───┐ ┌───┐ M₃ ┌───┐ ┌───┐ D ┌───┐ ┌───┐ ┌───┐ ┌───┐
Escritura	0 4 8 12 16 A ┌───┐ ┌───┐ D ┌───┐ ┌───┐ M₀₋₃ ┌───┐ ┌───┐ D₀ ┌───┐ ┌───┐ ┌───┐ ┌───┐ D₁ ┌───┐ ┌───┐ ┌───┐ ┌───┐ D₂ ┌───┐ ┌───┐ D₃ ┌───┐ ┌───┐	0 4 9 13 A ┌───┐ ┌───┐ ┌───┐ ┌───┐ D ┌───┐ ┌───┐ ┌───┐ ┌───┐ M₀ ┌───┐ ┌───┐ M₁ ┌───┐ ┌───┐ M₂ ┌───┐ ┌───┐ M₃ ┌───┐ ┌───┐

A: Bus de direcciones.

D: Bus de datos.

M_i: Módulo de memoria i.

D_i: Línea de datos del módulo de memoria i.

Ejecución con distintos modelos de memoria de la secuencia de instrucciones

I0: Mem[4] ← Reg[3]

I1: Reg[8] ← ADD (Reg[8], Mem[7])

I2: Reg[6] ← NOT (Reg[3])

I3: Reg[7] ← AND (Reg[7], Mem[5])

I4: Reg[4] ← Mem[Reg[5]]

Etapas

F = FPC

D = DREA

M = MPC

A = ALU

W = WRR

Recursos hardware

a: Bus de direcciones

d: Bus de datos

m_i: Módulo de memoria i

r: Banco de registros

Prebúsqueda de instrucciones con memoria entrelazada simple

T	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38						
I0	Fa	Fam ₀				Fd	Dr	M																																				
I1	Fa	Fam ₁				///	Fd	M								M								A	Wr																			
I2	Fa	Fam ₂				////	Fd	M								Dr	M								M	///	A	Wr																
I3	Fa	Fam ₃				////////	Fd	M								Dr	M								A				Wr															
I4	////////					Fa	Fam ₀				Fd	M								Dr	M								M				A	Wr										

Cauce con memoria entrelazada compleja de 4 vías

T	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30			
I0	Fa	Fm ₀				Fd	Dr	M _a ^d					Mm ₀																				
I1	///	Fa	Fm ₁				Fd	M _a ^d					Dr	Ma	Mm ₃			Md	A	Wr													
I2	////////	Fa	Fm ₂				Fd	M _a ^d							Dr	M	M _a ^d							A	Wr								
I3	////////	Fa	Fm ₃				Fd	M _a ^d								Dr	Ma	Mm ₁			Md	A	Wr										
I4	////////	Fa	Fm ₀				Fd	M _a ^d								Dr	M _a ^d			Mm ₇	Md	A	Wr										

Si la detección de riesgos fuese dinámica y $x = (\text{Reg}[5] \bmod 4) \neq 1$ el diagrama para I4 sería

I4	///					Fa	Fm ₀				Fd	M _a ^d								Dr	M _a	Mm _x	Md	A	Wr																	
----	-----	--	--	--	--	----	-----------------	--	--	--	----	-----------------------------	--	--	--	--	--	--	--	----	----------------	-----------------	----	---	----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

Cauce con caché unificada (sin fallos)

(y detección estática de riesgos)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
I0	F	F	D	D	M	M															
I1	/	/	F	F	D	D	M	M	A	A	W										
I2	/	/	/	/	/	/	/	/	F	F	D	D	M	A	A	W					
I3	/	/	/	/	/	/	/	/	/	/	F	F	D	D	M	M	A	A	W		
I4	/	/	/	/	/	/	/	/	/	/	/	F	F	D	D	M	M	A	W		

(detección dinámica)

		9	10	11	12	13	14	15	16	17	18	19	20
I2		F	F	D	D	M	A	A	/	W			
I3	...	/	/	F	F	D	D	M	M	A	A	W	
I4		/	/	/	/	F	F	D	D	M	M	A	W

Cauce con cachés separadas de datos e instrucciones (sin fallos)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I0	F	F	D	D	M	M											
I1	/	/	F	F	D	D	M	M	A	A	W						
I2	/	/	/	/	F	F	D	D	M	/	A	A	W				
I3	/	/	/	/	/	/	F	F	D	D	M	M	A	A	W		
I4	/	/	/	/	/	/	/	/	F	F	D	D	M	M	A	W	

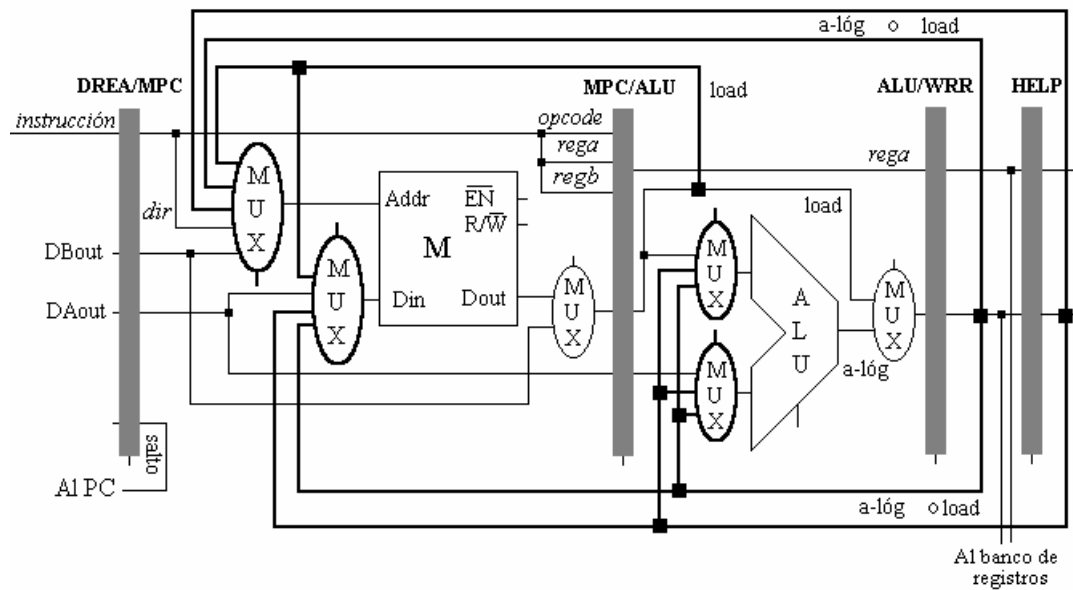
Dependencias de datos y su resolución

I: $\text{Reg}[5] \leftarrow \text{SUB}(\text{Reg}[5], \text{Mem}[3])$

J: $\text{Reg}[7] \leftarrow \text{ADD}(\text{Reg}[7], \text{Reg}[5])$

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I	F	F	D	D	M	M	A	A	W					
J	/	/	F	F	D	D	D	D	D	M	A	A	W	

Camino de anticipación



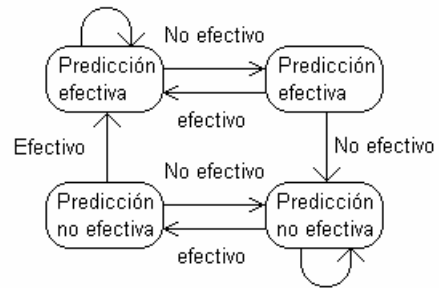
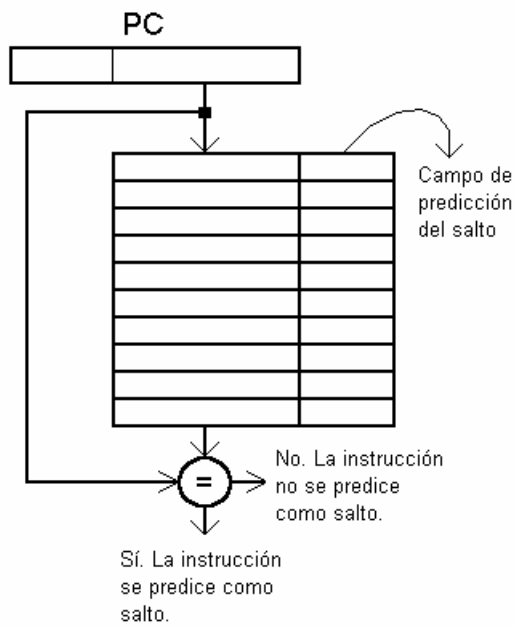
Efecto de la anticipación o cortocircuito

	1	2	3	4	5	6	7	8	9	10	11
I	F	F	D	D	M	M	A	A	W	/	H
J	/	/	F	F	D	D	M	/	A	A	W

Planificación estática con instrucciones NOP

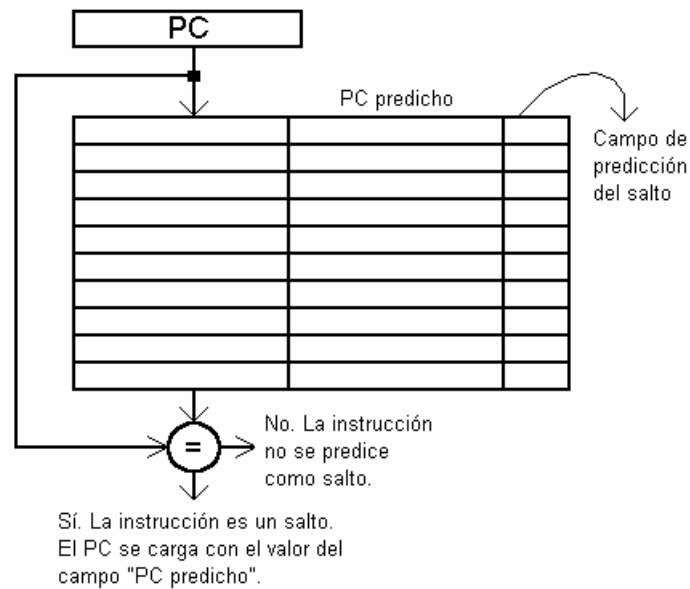
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I	F	F	D	D	M	M	A	A	W					
NOP	/	/	F	F										
NOP	/	/	/	/	F	F								
J	/	/	/	/	/	/	F	D	D	M	A	A	W	

Tabla de predicción de saltos



Predicción del salto con dos bits de estado

Tabla de direcciones de salto



Bifurcaciones retardadas

Diagramas de tiempo para la secuencia de instrucciones

S1

S2

S3: if C then goto DS

S4

S5

cuando el salto es efectivo.

	0	2	4	6	8	10	12
FPC	S1	S2	S3	S4	S5	DS	
DREA		S1	S2	S3	S4		
MPC			S1	S2	S3		
ALU				S1	S2		
WRR					S1	S2	

	0	2	4	6	8	10	12					
S1	F	F	D	D	M	M	A	A	W			
S2			F	F	D	D	M	M	A	A	W	
S3					F	F	D	D	M	M		
S4							F	F	D	D		
S5								F	F			
DS										F	F	...

Diagramas de tiempo para la secuencia de instrucciones

S3: if C then goto DS

S1

S2

S4

S5

cuando el salto es efectivo con retardo de 4 ciclos de reloj

	0	2	4	6	8	10	12
FPC	S3	S1	S2	DS			
DREA		S3	S1	S2	DS		
MPC			S3	S1	S2	DS	
ALU					S1	S2	DS
WRR						S1	S2

	0	2	4	6	8	10	12					
S3	F	F	D	D	M	M						
S1			F	F	D	D	M	M	A	A	W	
S2					F	F	D	D	M	M	A	A
DS						F	F	D	D	M	M	A