

3. DISEÑO DE SISTEMAS DE MEMORIA

3.1. [¡3!] Sea una caché con 64 bloques de 16 bytes cada uno: A) Si la caché es de correspondencia directa, ¿cuál es el número de bloque de caché que corresponde a la dirección del byte 1201. B) ¿A qué bloques de caché se podría corresponder esa misma dirección si la caché fuese asociativa por conjuntos de dos vías?

3.2. [¡4!] En un computador la memoria es direccionable por bytes y tanto las palabras como las direcciones de memoria son de 32 bits. Los bloques de caché son de 4 bytes y se desea saber cuantos bytes se necesitan para una caché de 128 kilobytes de datos cuando la caché es: a) De correspondencia directa; b) asociativa por conjuntos de 4 vías; c) completamente asociativa.

3.3. [¡3!] Suponer una caché, inicialmente vacía, de 16 palabras, asociativa por conjuntos de dos vías con bloques de cuatro palabras. La política de reemplazo es LRU. Indica qué accesos son aciertos y cuáles fallos, así como el tipo de fallo, y muestra el contenido final de la caché cuando la UCP genera la siguiente sucesión de accesos a memoria (los números representan direcciones de palabra)

1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17

3.4. [¡4!] Sean dos caches de correspondencia directa con 16 palabras: C1 tiene bloques de una palabra y C2 tiene bloques de cuatro palabras. La penalización de fallos es de 8 y 11 ciclos de reloj, respectivamente. Utilizando direcciones de palabras y suponiendo que las cachés están inicialmente vacías, encontrar una cadena de referencias a memoria para la que C2 tenga menor frecuencia de fallos pero gaste más ciclos en los fallos de caché.

3.5. [¡4!] Para las cachés del ejercicio anterior encontrar una cadena de referencias a memoria para que C2 tenga más fallos que C1.

3.6. [¡4!] Utilizando los datos de la transparencia *Caché-7* comparar las frecuencias de fallos y tiempos medios de acceso a memoria de una caché unificada de 32 KB con el conjunto de una caché de datos y otra de instrucciones de 16 KB cada una. Suponer que un acierto requiere un ciclo de reloj, la penalización de fallos es de 50 ciclos y, cuando la caché es unificada, un acierto en una carga o almacenamiento requiere un ciclo extra porque se produce una colisión en el acceso a esa caché.

3.7. [¡2!] En un procesador la penalización de fallos es 50 ciclos, el número medio de ciclos de ejecución por instrucción es 2,0, la frecuencia de fallos, el 2%, y el número medio de referencias a memoria por instrucción, 1,33. ¿Cuánto empeora el rendimiento de la UCP respecto al caso ideal de una caché sin fallos?

3.8. [i3!] Se desean conocer el impacto en el tiempo de UCP de dos organizaciones de una caché de 64KB: Correspondencia directa y asociativa por conjuntos de dos vías. En el primer caso la frecuencia de fallos es del 3,9% y la duración del ciclo de reloj 20ns. En el segundo caso, la frecuencia de fallos es menor, el 3,0%, pero el ciclo de reloj de la UCP debe alargarse en un 8,5% debido a la lógica de selección (básicamente un multiplexor) necesaria para escoger el bloque adecuado dentro de un conjunto. Se supone que el tiempo de acierto es un ciclo de reloj, la penalización de fallos 200ns, el número de ciclos de ejecución por instrucción 1,5, y el número medio de accesos a memoria por instrucción 1,3. Compara los tiempos medios de acceso a memoria y los tiempos de UCP. ¿Cuál de las dos alternativas elegirás?

3.9. [i2!] El tiempo de acceso a memoria principal es de 40 ciclos y la velocidad de transferencia es de 16 bytes cada 2 ciclos. ¿Qué tamaño de bloque tiene el mínimo tiempo medio de acceso a memoria para cada uno de los tamaños de cachés que aparecen en la siguiente tabla de frecuencias de fallos?

F_f	Tamaño de caché			
Tamaño de bloque	4 KB	16 KB	64 KB	256 KB
16	8,57%	3,94%	2,04%	1,09%
32	7,24%	2,87%	1,35%	0,70%
64	7,00%	2,64%	1,06%	0,51%
128	7,78%	2,77%	1,02%	0,49%
256	9,51%	3,29%	1,15%	0,49%

3.10. [i5!] ¿Cuál es la frecuencia efectiva de fallos del Alpha AXP 21064 usando prebúsqueda de instrucciones? ¿Si no hubiese prebúsqueda, qué tamaño mínimo debería tener la caché de instrucciones para que el tiempo medio de acceso a memoria no fuese peor? Suponer: a) Se gasta un ciclo extra cuando la instrucción buscada no está en la caché pero sí en el buffer de prebúsqueda; b) la frecuencia de aciertos en el buffer es del 25%; c) el tiempo de acierto es de 2 ciclos y la penalización de fallo, de 50 ciclos. Consultar la transparencia *Caché-7* para las frecuencias de fallos de distintos tamaños de cachés.

3.11. [i4!] Se desea conocer el impacto de la asociatividad de la caché de segundo nivel en la penalización de los fallos producidos en la caché de primer nivel. Se sabe que:

- La asociatividad (de 2 vías) incrementa el tiempo de acierto un 10% del tiempo de ciclo de la UCP.
- Las cachés están sincronizadas con el reloj de la UCP.
- Para una caché de segundo nivel de correspondencia directa el tiempo de acierto es de 10 ciclos de reloj y la frecuencia local de fallos es el 25%.
- La frecuencia local de fallos baja al 20% si la caché de segundo nivel es asociativa por conjuntos de 2 vías.
- La penalización de fallos es de 50 ciclos de reloj.

3.12. [i4!] Dados

Ancho bus memoria = 1 palabra.

Número medio de accesos a memoria por instrucción = 1,2.

Número medio de ciclos de ejecución por instrucción = 2.

Un bloque de 1 palabra tiene una frecuencia de fallos del 3%, uno de 2 palabras del 2% y uno de 4 palabras, del 1%.

- A) Compara el rendimiento de la UCP para cada tamaño de línea (1, 2 y 4 palabras).
- B) Con bloques de dos palabras, ¿cuánto mejora el rendimiento en los casos de memoria entrelazada de dos vías y de ancho bus-memoria de dos palabras?
- C) Con bloques de cuatro palabras, ¿cuánto mejora el rendimiento en los casos de memoria entrelazada de cuatro vías y de ancho bus-memoria de dos palabras?

Considera los tiempos de acceso supuestos en clase y que la penalización de fallos coincide con el tiempo necesario para llevar un bloque de memoria principal a caché.

3.13. [i3!] ¿Cómo ubicarías un programa en memoria cuando no existe memoria virtual?

3.14. [i4!] Teniendo en cuenta que en el Alpha AXP 21064 la configuración básica utiliza direcciones virtuales de 43 bits, páginas de 8 KB y entradas de tabla de páginas de 8 B, ¿cuánto ocuparán las tablas de página de nivel 3?