

ORGANIZACIÓN DE COMPUTADORES I

Titulaciones:	Ingeniería en Informática (II) Ingeniería Técnica en Informática de Sistemas (ITIS) Ingeniería Técnica en Informática de Gestión (ITIG)
Créditos:	6
Carácter:	Obligatoria
Curso:	2º
Temporalidad:	Cuatrimestral (1º cuatrimestre)
Departamento:	Informática
Profesores:	Serafín Benito Santos (coordinador) Javier Ayllón Pérez Jesús Barba Romero Luis M. de la Gándara Rey Julián de la Morena Borja

Objetivos

Profundizar en el estudio del repertorio de instrucciones, y de los sistemas de memoria y entrada/salida (ya iniciados en *Estructura de Computadores* o en *Estructura y Tecnología de Computadores*) incidiendo especialmente en los aspectos que contribuyen a un buen diseño. Para ello se pretende que el alumno comprenda y sepa utilizar las principales medidas de rendimiento así como herramientas que le permitan comparar la eficiencia de distintas opciones de diseño.

Comprender las relaciones, en el rendimiento de un sistema, entre el diseño de la UCP, la jerarquía de memoria, los compiladores, los sistemas operativos y la entrada/salida.

Comprender las implicaciones en la arquitectura del computador de su capacidad para conectarse a redes.

Prerrequisitos

Alumnos de II e ITIS: *Tecnología de Computadores* y *Estructura de Computadores*.

Alumnos de ITIG: *Sistemas Digitales* y *Estructura y Tecnología de Computadores*.

Correquisitos

Sistemas Operativos.

Docencia

3 horas semanales de teoría y problemas.

2 horas de laboratorio en semanas alternas.

Evaluación

Habrà un examen final de teorìa y problemas. Las pràcticas de Laboratorio se evaluaràn con trabajos y/o exàmenes.

La nota final serà una media ponderada entre la nota de teorìa y problemas, y la nota de Laboratorio.

Contenidos

1. Rendimiento y coste.

1. Medidas de rendimiento.
2. Coste.
3. Principios cualitativos y cuantitativos del diseño de computadores.
4. Ejercicios y cuestiones.
- A. Laboratorio: Medidas de rendimiento con programas de prueba.

2. Diseño del repertorio de instrucciones.

1. Tipos de juegos de instrucciones.
2. Compiladores, repertorio de instrucciones y rendimiento.
3. Computadores de repertorio de instrucciones reducido (RISC).
4. Estudio de un RISC: Diseño del repertorio de instrucciones del DLX.
5. Alternativa: La familia de procesadores Intel 80x86.
6. Medidas comparativas.
7. Cuestiones

A. Laboratorio: Comparar la eficiencia de distintos modos de compilación o de compilación para distintas arquitecturas. Tomar medidas de utilización de distintos aspectos del repertorio de instrucciones (simulador de DLX o similar).

3. Diseño de sistemas de memoria

1. Importancia de la jerarquía de memoria en los computadores actuales.

2. Memorias caché.

Aspectos fundamentales.

Caché y rendimiento de la UCP.

Técnicas para reducir el tiempo medio de acceso a memoria en un sistema con caché.

3. Memoria principal: organizaciones para mejorar su rendimiento.

4. Memoria virtual.

5. Estudio de la jerarquía de memoria del Alpha AXP 21064.

6. Ejercicios y cuestiones.

A. Laboratorio: Mediante el simulador de caché *dinero* evaluar distintos diseños de cachés.

4. Organización de la entrada/salida

1. Importancia de la entrada/salida en el rendimiento del sistema.

2. Medidas de rendimiento de la entrada/salida.

3. Buses: Interfaz periféricos-procesador-memoria.

4. Estudio del subsistema de entrada/salida del IBM 3990.

5. Cuestiones y ejercicios.

A: Laboratorio: Uso de herramientas para medir el rendimiento de la entrada/salida de un sistema.

5. Soporte de redes

1. Conceptos básicos.

2. Medias de rendimiento de una red.

3. Interfaz computador-red.

4. Conexión entre varios computadores y entre varias redes.

5. Introducción a las arquitecturas de protocolo.

6. Cuestiones y ejercicios

6. Introducción a los procesadores paralelos

1. Conceptos básicos de procesamiento paralelo.
2. Arquitecturas ILP.
3. Arquitecturas *multithread*.
4. Arquitecturas MIMD.
5. Arquitecturas SIMD.
6. Evolución de las arquitecturas paralelas.
7. Cuestiones.

Bibliografía básica

Hennessy, J. L., y D. A. Patterson [1993]. *Arquitectura de Computadores. Un enfoque cuantitativo*. Madrid: McGraw-Hill.

Hennessy, J. L. y D. A. Patterson [2002]. *Computer Architecture. A Quantitative Approach*. Third Edition. San Francisco: Morgan Kaufmann.

Carter, N. [2004]. *Arquitectura de computadores*. Madrid, etc.: McGraw-Hill.

Stallings, W. [1998]. *Organización y Arquitectura de Computadores. Diseño Para Optimizar Prestaciones*. 4ª ed. Madrid: Prentice-Hall.

Hennessy, J. L. y D. A. Patterson [1996]. *Computer Architecture. A Quantitative Approach*. Second Edition. San Francisco: Morgan Kaufmann.

Bibliografía suplementaria

Stallings, W. [1997]. *Comunicaciones y Redes de Computadores*. 5ª edición. Madrid: Prentice Hall Iberia.

Hamacher, V. C., Vranesik, Z. G., and S. G. Zaky [1996]. *Computer Organization*. Fourth Edition. New York (etc.): McGraw-Hill.

Tanenbaum, A. S. [1999]. *Structured Computer Organization*. Fourth edition. Upper Saddle River (New Jersey): Prentice-Hall International.

Carter, N. [2002]. *Computer Architecture*. New York, etc.: McGraw-Hill.

Patterson, D. A., y J. L. Hennessy [1995]. *Organización y Diseño de Computadores. La interfaz hardware/software*. Madrid: McGraw-Hill.

Patterson, D. A. y J. L. Hennessy [1998]. *Computer Organization and Design: The Hardware/Software Interface*. Second Edition. San Francisco: Morgan Kaufmann.

Sailer, P. M. and D. R. Kaeli [1996]. *The DLX Instruction Set Architecture Handbook*.
San Francisco: Morgan Kaufmann.

Complemento web

Los enunciados de los problemas y otros materiales como transparencias, normas para exámenes, etc. estarán accesibles en

<http://www.inf-cr.uclm.es/www/sbenito/OrCoI>.

Lo relacionado con las prácticas de laboratorio (enunciados, listas de grupos, etc.) se hará a través de

<http://arco.inf-cr.uclm.es>.