

3. COMPUTADORES MIMD

3.1. ¿Por qué si en las caches de un multiprocesador de un solo bus la frecuencia de fallos es del 2% no se reduce el tráfico del bus 50 veces?

3.2. En un protocolo de coherencia caché, basado en propietario, un bloque respecto a una caché puede estar en uno de estos tres estados:

- Inv (inválido). Los datos del bloque no son válidos o el bloque no está en la caché.
- RO (sólo lectura). La memoria principal es la propietaria del bloque. Hay una copia válida del bloque en la caché y en memoria principal y pueden existir otras copias en distintas cachés.
- RW (lectura-escritura). La caché es la propietaria del bloque. Sólo en la caché está el bloque actualizado.

Elabora una tabla de transiciones de estado de un bloque respecto a la caché **i**, teniendo en cuenta que las acciones posibles son W(i), R(i), Z(i), W(j), R(j), Z(j) donde W significa escritura, R, lectura y Z, reemplazo de bloque. El índice determina qué procesador realiza la operación. La estrategia de escritura siempre es *write-back* (postescritura) con invalidación en escritura.